

NEC-5084

⑧

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-207823

(43)Date of publication of application : 21.08.1989

(51)Int.Cl.

G06F 7/00

(21)Application number : 63-033102

(71)Applicant : FUJITSU LTD

(22)Date of filing : 16.02.1988

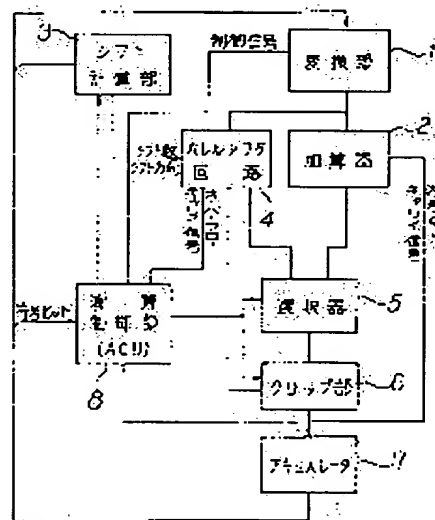
(72)Inventor : KURAYA HISAYOSHI
TANAKA SHIGETO

(54) FLOATING POINT NUMBER-FIXED POINT NUMBER CONVERTER

(57)Abstract:

PURPOSE: To attain improving operating accuracy by converting an IEEE standard floating point into a fixed point number with executing a rounding-off processing and an overflow processing.

CONSTITUTION: A converting part 1 format-converts an IEEE standard floating point stored an accumulator 7 with setting to a code bit. An adder 2 generates the complementing signal of the 2 by the output of the converting part 1 and the bit to indicate the code. A shift calculating part 3 generates a shift number and a shift direction from the exponent part of the floating point number. A barrel shifter circuit 4 shifts the floating point number by the shift number and the shift direction. A selector 5 selects the output of the adder 2 or the circuit 4. A clipping part 6 clips the output of the selector 5 only when the circuit 4 is overflow and give it to the accumulator 7. An operation control part 8 gives a control signal to the converting part 1 corresponding to the code bit of the floating point number and so on, and gives a round off signal to the adder 2.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑫ 公開特許公報(A) 平1-207823

⑤Int.Cl.⁴

識別記号

庁内整理番号

⑬公開 平成1年(1989)8月21日

G 06 F 7/00

1 0 1

W-7313-5B

審査請求 未請求 請求項の数 1 (全10頁)

⑭発明の名称 浮動小数点数-固定小数点数変換装置

⑯特 願 昭63-33102

⑰出 願 昭63(1988)2月16日

⑱発明者 蔵 屋 久 義 栃木県小山市城東3丁目28番1号 富士通デジタル・テクノロジー株式会社内

⑲発明者 田 中 茂 人 栃木県小山市城東3丁目28番1号 富士通デジタル・テクノロジー株式会社内

⑳出願人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

㉑代理人 弁理士 井 桁 貞一 外2名

明 細 書

1. 発 明 の 名 称

浮動小数点数-固定小数点数変換装置

2. 特 許 請 求 の 範 囲

IEEE標準浮動小数点数を格納するアキュムレータ(7)と、

該浮動小数点数を、その符号ビットに合わせてフォーマット変換する変換部(1)と、

該変換部(1)の出力と該符号を示すビットにより2の補数化信号を発生する加算器(2)と、

該浮動小数点数の指数部からシフト数及びシフト方向を発生してラッチするシフト計算部(3)と、

該シフト数及びシフト方向により該浮動小数点数をシフトするバレルシフト回路(4)と、

該加算器(2)の出力又は該バレルシフト回路(4)の出力を選択する選択器(5)と、

該バレルシフト回路(4)がオーバーフローした時のみ該選択器(5)の出力をクリップして該アキ

ュムレータ(7)に与えるクリップ部(6)と、

1サイクル目に該浮動小数点数の符号ビットに応じて該変換部(1)に制御信号を与え、2サイクル目に該シフト計算部(3)のラッチされた値を出力させ、1サイクル目及び3サイクル目に該加算器(2)の出力を、2サイクル目に該バレルシフト回路(4)の出力をそれぞれ選択するように該選択器(5)を制御し該バレルシフト回路(4)がキャリイ検出した時、3サイクル目に該キャリイ信号に基づいて該加算器(2)に丸め信号を与える演算制御部(8)と、

を備えたことを特徴とする浮動小数点数-固定小数点数変換装置。

3. 発 明 の 詳 細 な 説 明

(概 要)

デジタル信号を浮動小数点数処理から固定小数点数処理にフォーマット変換する装置に関し、

IEEE標準浮動小数点数を、丸め処理及びオーバーフロー処理を行って固定小数点数に変換す

ることにより変換の演算精度を上げることを目的とし、

1 サイクル目に IEEE 標準浮動小数点数の 2 の補数化信号を生成してアキュムレータに格納し、2 サイクル目に該アキュムレータの該データをシフト計算部で求めたシフト数及び方向だけパレルシフト回路でシフトし、このシフトの際にオーバーフローが生じた時はクリップ部でクリップしてアキュムレータに再度格納し、3 サイクル目では、2 サイクル目でパレルシフト回路がキャリイ検出していた場合には 2 サイクル目のアキュムレータのデータにそのキャリイビットが付加されて最終的な固定小数点数としてアキュムレータに格納されるように構成したもの。

(産業上の利用分野)

本発明は浮動小数点数-固定小数点数変換装置に関するものであり、特にデジタル信号を浮動小数点数処理から固定小数点数処理にフォーマット変換する装置に関するものである。

- 3 -

変換では、固定小数点の小数点位置が、データの最下位ビットにあり、実質的に整数変換を意味するように変換されていた。

(発明が解決しようとする課題)

従来の浮動小数点数-固定小数点数変換は、IEEE 標準 32 ビットの浮動小数点数を扱ったものではなく、然もその変換の際のビットの桁落ちは無視、即ち切り捨てられていて丸め処理が行われていなかった。更に、オーバーフロー処理も同様に行われておらず、演算精度の低下を招く虞があった。

従って、本発明は、IEEE 標準浮動小数点数を、丸め処理及びオーバーフロー処理を行って固定小数点数に変換し、その演算精度を上げることを目的とする。

(課題を解決するための手段)

第 1 図は、上記の目的を達成するための本発明に係る浮動小数点数-固定小数点数変換装置の概

浮動小数点数の処理は、デジタル信号処理の精度が高くまたダイナミックレンジも広い等の点から固定小数点数処理よりも好ましいが、回路制御等においては固定小数点数を用いて処理されることが多いため、浮動小数点数から固定小数点数にフォーマット変換することが必要である。

(従来の技術)

IEEE 標準 32 ビット浮動小数点数は、第 1 0 図に示す表現形式を有し、指数部 e は真値に 127 を加えた所謂「ゲタばき」表現を採用し、仮数部 f は 1 から 2 の間の数を表現する符号絶対値表現を採用している。また、この絶対値表現部 f では最上位ビット(正規化数の場合常に 1)を省略した所謂「かくれ」ビット表現を採用している。また、MSB の符号ビットを S で表すと、浮動小数点数データ X は、

$$X = (-1)^S \cdot \{2^{-1} \cdot f\} \cdot (1.f)$$

で表される。

この場合、従来の浮動小数点数-固定小数点数

- 4 -

念図を示し、図中、1 はアキュムレータ 7 に格納された IEEE 標準浮動小数点数を、その符号ビットに合わせてフォーマット変換する変換部、2 は変換部 1 の出力と該符号を示すビットにより 2 の補数化信号を発生する加算器、3 は該浮動小数点数の指数部からシフト数及びシフト方向を発生するシフト計算部、4 は該シフト数及びシフト方向により該浮動小数点数をシフトするパレルシフト回路、5 は加算器 2 の出力又はパレルシフト回路 4 の出力を選択する選択器、6 はパレルシフト回路 4 がオーバーフローした時のみ選択器 5 の出力をクリップしてアキュムレータ 7 に与えるクリップ部、そして 8 は 1 サイクル目に該浮動小数点数の符号ビットに応じて変換部 1 に制御信号を与え、2 サイクル目にシフト計算部 3 のラッチされた値を出力させ、1 サイクル目及び 3 サイクル目に加算器 2 の出力を、2 サイクル目にパレルシフト回路 4 の出力をそれぞれ選択するように選択器 5 を制御し、パレルシフト回路 4 がキャリイ検出した時、3 サイクル目に該キャリイ信号に基づい

- 5 -

- 6 -

て加算器 2 に丸め信号を与える演算制御部である。

〔作用〕

第 1 図に示した本発明に係る浮動小数点数—固定小数点数変換装置を第 2 図乃至第 4 図に示したビット状態図を参照して以下に説明する。

まず、第 2 図(1)又は第 3 図(1)に示すようなアキュムレータ 7 に格納されている IEEE 標準浮動小数点数が変換部 1 に送られ、その指数部がシフト計算部 3 に送られる。また、浮動小数点数の符号ビットは演算制御部 8 に送られる。演算制御部 8 では入力した符号ビットが“0”（正の小数点数）であるか、“1”（負の小数点数）であるかを判定して制御信号を変換部 1 へ送る。変換部 1 では、この制御信号により浮動小数点数を第 4 図(a)又は(b)に示すようにフォーマット変換する。この場合、符号ビットが“1”の時には第 3 図(2)に示すように仮数部の反転も行われる。

このフォーマット変換された浮動小数点数は加算器 2 において演算制御部 8 からの符号ビットの

- 7 -

このシフトされた値はクリップ部 6 に送られる。クリップ部 6 では、上記のシフト動作において、オーバーフロー検出が為された時には、演算制御部 8 はクリップ部 6 を制御して正又は負の最大値に選択器 5 の出力をクリップしてアキュムレータ 7 に格納する。

そして、3 サイクル目では、2 サイクル目でパレルシフト回路 4 がキャリイ検出した時の信号により加算器 2 にキャリイ信号として与え、アキュムレータ 7 から出力された 2 サイクル目のビット値は変換部 1 を通過して加算器 2 でキャリイビットが加算され、選択器 5 及びクリップ部 6 を介してアキュムレータ 7 に最終的な固定小数点数として格納されることになる。

〔実施例〕

以下、本発明に係る浮動小数点数—固定小数点数変換装置の実施例を説明する。

第 5 図は、本発明に係る浮動小数点数—固定小数点数変換装置の一実施例を示している。

値を加算することによって第 2 図(2)及び第 3 図(3)に示すように 2 の補数表現化されたビット値が得られ、選択器 5 に送られる。選択器 5 は 1 サイクル目は加算器 2 の出力が選択されるように演算制御部 8 によって制御され、クリップ部 6 を介してアキュムレータ 7 に格納される。

一方、上記の 1 サイクル目では、シフト計算部 3 では、アキュムレータ 7 の浮動小数点数の指数部からシフト数とシフト方向を求めてラッチしておく。

2 サイクル目では、演算制御部 8 がシフト計算部 3 にラッチされていたシフト数及びシフト方向の値をパレルシフト回路 4 に出力させ、パレルシフト回路 4 では、1 サイクル目でアキュムレータ 7 に格納されている第 2 図(2)又は第 3 図(3)に示すビット値をそのまま入力して指定されたシフト方向にそのシフト数だけシフトする。そのシフトされた値が第 2 図(3)又は第 3 図(4)に示されている。

2 サイクル目では、演算制御部 8 が選択器 5 を制御してパレルシフト回路 4 の出力を選択するので、

- 8 -

この実施例では、変換部 1 は、アキュムレータ ACC からの 32 ビット信号並びに演算制御部 8 からのセレクト信号 INV 及び $MASK$ 信号を入力するセレクト $SEL1 \sim SEL3$ で構成され、セレクト $SEL1$ と $SEL2$ の一方の端子にはそれぞれインバート 11、12 が設けられている。シフト計算部 3 は、加算器 EA と、この加算器 EA の桁上げ信号 EC の反転信号を制御信号として加算器 EA の加算結果を反転及びインクリメントする反転部 $INVERT$ 及びインクリメント部 INC と、このインクリメント部 INC の出力をクリップするクリップ部 $CLIP2$ と、信号 EC （シフト方向を示す信号）及びクリップ部 $CLIP2$ の出力（シフト数を示す信号）をそれぞれラッチ I 及びラッチ II でラッチするラッチ部 LT と、で構成されている。また、パレルシフト回路 4 はパレルシフト BS と、キャリイ検出回路 CADET と、オーバーフロー検出回路 OVD ET とで構成されている。更に、クリップ部 6 は、アンドゲート G と、この出力によって制御されるクリップ

部CLIP1とを含んでいる。

これらの回路に与えられる制御信号INV、MASK、CIN、LAEN、OPSE、ACENは、演算命令、アキュムレータACCの最上位ビット（以下、ビットAC31という）、及びキャリイ検出回路CADETの出力を受けた演算制御部ACUから出力される信号である。

尚、第5図の実施例中、第1図に示した加算器2、選択器5、及びアキュムレータ7は以下それぞれ加算器ADD、セレクトOPSEL、アキュムレータACCとして説明する。

以下、この実施例の動作を説明する。

まず、演算命令（浮動小数点から固定小数点への変換命令）が、演算制御部ACUに入力されることにより、下記の演算が開始される。

(1) 1サイクル目

第2図(1)又は第3図(1)に示すような32ビットのレジスタで構成されるアキュムレータACCに格納されている浮動小数点データが、8ビット加算器EA及び、2者択一のセレクトSEL1、2、

- 11 -

時は“0”、セレクト信号INVが“0”の時（正数時）は“1”が出力される（第2図(2)又は第3図(2)参照）。

セレクトSEL3には、アキュムレータACCの上位から8ビットが入力されるが、1サイクル目では、セレクト信号MASKが“1”となっているため、セレクト信号INVをそのまま出力する。つまり、セレクト信号INVが“1”の時（負数時）は上位8ビットオール“1”を、“0”の時（正数時）はオール“0”を出力する（第2図(2)、第3図(2)参照）。

このようにしてフォーマット変換された32ビットは、32ビット加算器ADDに入力される。尚、加算器ADDの片側入力、変換命令時は、“0”となっている。

また、キャリイン信号CINは、1サイクル目、ビットAC31の値が“1”の時（負数時）は“1”を、“0”の時（正数時）は“0”をそれぞれ加算器ADDに与えるように、演算制御部ACUより出力されて32ビットの加算器入力のLS

3に入力される。

セレクトSEL1には、アキュムレータACCの下位23ビット（仮数部）が入力され、演算制御部ACUからのセレクト信号INVが“0”の場合、スルーで通過し、“1”の場合には反転してセレクトSEL1より出力される。このセレクト信号INVは、1サイクル目のとき、サインビットであるアキュムレータACCの最上位ビット（MSB）（以下、ビットAC31と呼ぶ）が“0”の場合、つまり正の小数点数の時は、“0”で、ビットAC31が“1”の場合、つまり負の小数点数の時は“1”となるよう演算制御部ACUより出力される。

また、セレクトSEL2には、アキュムレータACCの下位から24ビット目、（以下、ビットAC23と呼ぶ）のいわゆる「かくれビット」が入力されるが、演算制御部ACUからのセレクト信号MASKが、1サイクル目は“1”となるため、セレクト信号INVの反転信号が出力される。

即ち、セレクト信号INVが“1”の時（負数

- 12 -

Bに加算される。従って、1サイクル目データは、第2図(2)又は第3図(3)に示す如く2の補数化される。

その後、2者択一セレクトOPSELでは、演算制御部ACUからのセレクト信号OPSEが“0”となっており、加算器ADDの出力をセレクトする。またクリップ部CLIP1は、信号OVCLが“0”であるため、加算器ADDの値をそのまま出力する。

以上の動作により、2の補数化されたデータが、アキュムレータACCに格納される。なお、信号ACENは演算制御部ACUからの各サイクルのイネーブル信号、信号CLKはクロックである。

一方、加算器EAには、アキュムレータACCのビットAC31を除く上位ビットから8ビット（指数部）が入力されてシフト数を計算するため、88_{hex}を加算する。これは、加算器を使って計算するため、第2図及び第3図における浮動小数点位置から固定小数点位置への8ビットシフト変換に際しては指数が78_{hex}の時、シフト数

- 13 -

- 14 -

が“ゼロ”となることから $-78_{(HEX)}$ を2の補数化した値、つまり $88_{(HEX)}$ を加算するためである。加算された値は、2の補数表現となっているため、その後、データを絶対値化する必要がある。そのため、加算器EAにおける8ビット加算での桁上げ信号ECの反転信号が符号ビットとなり、信号ECが“0”の時は、反転して“1”となり負の数を示しており、反転器INVERTで加算器EAの出力反転を行ない、インクリメント部INCで、インクリメント(1加算)を行う。又、信号ECが“1”の場合は、正の数となっており、反転器INVERT、インクリメント部INCは、そのまま出力される。こうして絶対値化される。

また、シフト数は31ビットまでであるのでシフト数信号は、5ビットで充分であり、それ以上の数は、シフト数最大値にクリップしておく必要がある。上位3ビットのどれか1ビットでも“1”がある場合は、クリップ部CLIP2で、最大値、 $1F_{(HEX)}$ にする。その他の場合は、ク

- 15 -

ムレータACCの値をそのまま出力する。その後、そのデータを、パレルシフトBSに入力し、ラッチ部LTのラッチIにラッチされている5ビットのデータにより、シフトを行う。ラッチIの出力データの最下位ビット(以下、ビットLA0という)のみが“1”のときは1ビット、ビットLA1のみが“1”のときは2ビット、という様にして以下、5ビットの組み合わせで最大31ビットのシフトが行える。

また、ラッチIIの出力LRは、“1”の時はパレルシフトBSを左シフト、“0”の時は右シフトするために1サイクル目にラッチしておいた信号である。また、右シフト時に起こる桁落ちビットを丸めるため、キャリイ検出部CADETにて検出し、信号C_{out}として出力して演算制御部ACUに入力し、レジスタ(図示せず)に格納しておく。また、左シフト時に起こる、オーバーフローを、オーバーフロー検出部OVDETで検出する。

シフトされた結果をパレルシフトBSより出力

リップせず、5ビットがそのままラッチ部LTにラッチされる。

また、シフト方向(右シフト、あるいは左シフト)を制御するため、桁上げ信号ECの値をラッチ部LTでラッチし、信号ECが“0”の場合は反転して“1”となり負数を示すので右シフト、反対に“1”の場合は左シフトとする。即ち、第2図又は第3図の場合は $(70 + 88)_{(HEX)} = F8_{(HEX)}$ で桁上げ信号ECは“0”となる。

尚、LARENは、演算制御部ACUからの1サイクル目のラッチイネーブル信号である。

(2) 2サイクル目

1サイクル目で得られた結果より、データをシフトする。

まずアキュムレータACCに格納されている、2の補数表現化された32ビットデータをセレクトSEL1、2、3に入力する。

この2サイクル目では、セレクト信号INV、MASKは演算制御部ACUにより“0”となっており、セレクトSEL1、2、3ともに、アキ

- 16 -

し、セレクトOPSELに入力する。この2サイクル目では、セレクト信号OPSELは“1”となり、セレクトOPSELでは、パレルシフトBSの出力をセレクトし出力する。

その後、若し、シフトの際、左シフトをしてオーバーフローが起っていた場合は、クリップ部CLIP1にて、正の最大値又は負の最大値にデータをクリップする。

オーバーフローしていない場合は、アンドゲートGの出力OVCLが“0”となり、セレクトOPSELの出力をそのまま出力する。

その後、アキュムレータACCに格納される(第2図(3)又は第3図(4)参照)。

(3) 3サイクル目

3サイクル目は、2サイクル目のシフト動作で得られたアキュムレータACCのデータにキャリイ検出部CADETで得られた信号C_{out}を、加算器ADDで加算する。

即ち、まず、アキュムレータACCに格納されているシフトされたデータをセレクトSEL1、

- 17 -

-137-

- 18 -

2、3に入力する。そしてセレクト信号 $IN V$ 、 $M A S K$ は“0”とし、アキュムレータ $A C C$ の値を、セレクト $S E L 1$ 、2、3は、そのまま出力する。

そのデータを加算器 $A D D$ に入力する。

またキャリイン信号 $C I N$ は、演算制御部 $A C U$ のレジスタに格納された信号 $C o v$ の値をそのまま丸め信号として出力したもので加算器 $A D D$ に入力される。

そして、シフトされたデータに加算されて丸められる(第2図(4)又は第3図(5)参照)。

尚、2サイクル目で、左シフトした場合は、信号 $C I N$ は“0”となる。これは桁落ちビットがないためである。

その後、セレクト信号 $O P S E$ は“0”とし、セレクト $O P S E$ で加算器 $A D D$ の出力をセレクトし、クリップ部 $C L I P$ も、信号 $O V C L$ が“0”であるため、そのまま入力信号を出力し、最終結果が、アキュムレータ $A C C$ に格納され、変換は終了する(第2図(4)又は第3図(5)参照)。

- 19 -

$S B$) と消失ビットの論理和又は論理積の不一致で検出され、正又は負の最大値にクリップする。

算術的に右シフトする場合は、第9図(1)(a)に示す2の補数表現の-66を5ビットシフトするとシフトした後へは $M S B$ が入り、同図(1)(b)に示す如く中間結果は-3となる。

この時のガードビットは同図(1)(c)に示す如く1となり、スティッキービットは同図(1)(d)に示す値の論理和の1となる。これらはキャリイ検出回路 $C A D E T$ 内で行われる。

ここで、-66を5ビット右シフトすると、 $-66 \times 2^{-5} = -2.0625$ であり、小数点以下の値を丸めると-2又は-3となる。

この場合の、桁落ちビットの丸めには、中間結果に下記に示す R の値を加算して求める最近値、プラス方向、マイナス方向、ゼロ方向とする4つの方法が $I E E$ 規格により決められている。

$$R = ① \times ② + ② \times ③$$

$$R = ② + ③$$

$$R = 0$$

- 21 -

第7図には上記の演算制御部 $A C U$ の入出力信号等のタイムチャートが示されている。

バレルシフト回路4の動作は既に公知であるが、ここで第8図及び第9図により簡単に説明する。

まず、算術的に左シフトを行う場合は、 $M S B$ (符号ビット) はその儘残してシフトし、消失ビットの論理和を第5図のオーバーフロー検出回路 $O V D E T$ で検出し、更に消失ビットに $M S B$ の符号と不一致のものとがあるとオーバーフローとして、クリップ部 $C L I P$ にて正又は負の最大値にクリップする。

例えば、第8図(a)に示す2の補数表現の-17を基本とし、1ビット左シフトすると同図(b)に示す如く2倍の値の-34で、2ビット左シフトすると同図(c)に示す如く4倍の値の-68で、3ビット左シフトすると-136とならなければならないが、負の最大値-128を越えてオーバーフローしてしまい、この場合は同図(d)に示す如く-8となる。

このオーバーフローの検出は、符号ビット (M

- 20 -

$$R = [② + ③] \times S$$

但し①は $L S B$ 、②はガードビット、③はスティッキービット、 S は符号ビット ($M S B$)、+ は論理和、 \times は論理積を示す。

この R の値を夫々加算すると、第9図(2)に示す如く、最近値丸め及びプラス方向丸めは-2となり、マイナス方向丸めは-3となり、ゼロ方向丸めは-2となる。従って、-2とする場合はキャリイ検出回路 $C A D E T$ から“1”が出力され、-3とする場合は“0”が出力されて上記の丸め動作が加算器 $A D D$ により行われることとなる。

(発明の効果)

以上のように、本発明の浮動小数点数-固定小数点数変換装置によれば、1サイクル目に $I E E$ 標準浮動小数点数の2の補数化信号を生成してアキュムレータに格納し、2サイクル目に該アキュムレータの該データをシフト計算部で求めたシフト数及び方向だけバレルシフト回路でシフトし、このシフトの際にオーバーフローが生じた時はク

- 22 -

リップ部でクリップしてアキュムレータに再度格納し、3サイクル目では、2サイクル目でパレルシフト回路がキャリイ検出していた場合には2サイクル目のアキュムレータのデータにそのキャリイビットが付加されて最終的な固定小数点数としてアキュムレータに格納されるように構成したので、IEEE標準浮動小数点数をオーバーフロー処理及び丸め処理を含めて固定小数点数に変換することができ、演算精度を向上させることができる。

4. 図面の簡単な説明

第1図は本発明に係る浮動小数点数-固定小数点数変換装置を概念的に示した図、

第2図及び第3図は本発明に係る浮動小数点数-固定小数点数変換装置の動作を説明するための状態遷移図、

第4図は本発明に係る浮動小数点数-固定小数点数変換装置に用いる変換部でのフォーマット変換図、

第5図は本発明に係る浮動小数点数-固定小数点数変換装置の一実施例を示す回路図、

第6図は本発明に係る浮動小数点数-固定小数点数変換装置に用いる演算制御部の入出力信号を示す図、

第7図は本発明に係る浮動小数点数-固定小数点数変換装置の一実施例のタイムチャート図、

第8図及び第9図は本発明に係る浮動小数点数-固定小数点数変換装置に用いるパレルシフト回路の動作を説明するための図、

第10図はIEEE形式の浮動小数点数表現を示した図、である。

第1図において、1…変換部、2…加算器、3…シフト計算部、4…パレルシフト回路、5…選択器、6…クリップ部、7…アキュムレータ、8…演算制御部。

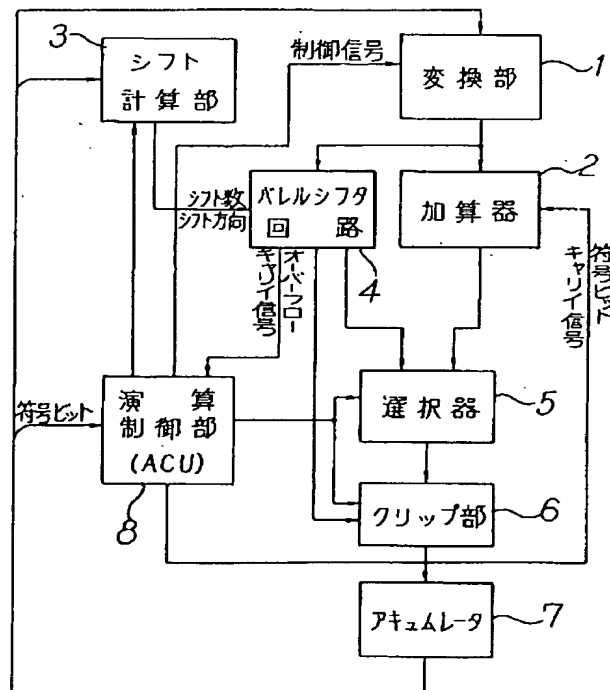
図中、同一符号は同一又は相当部分を示す。

代理人 弁理士 井 桁 貞

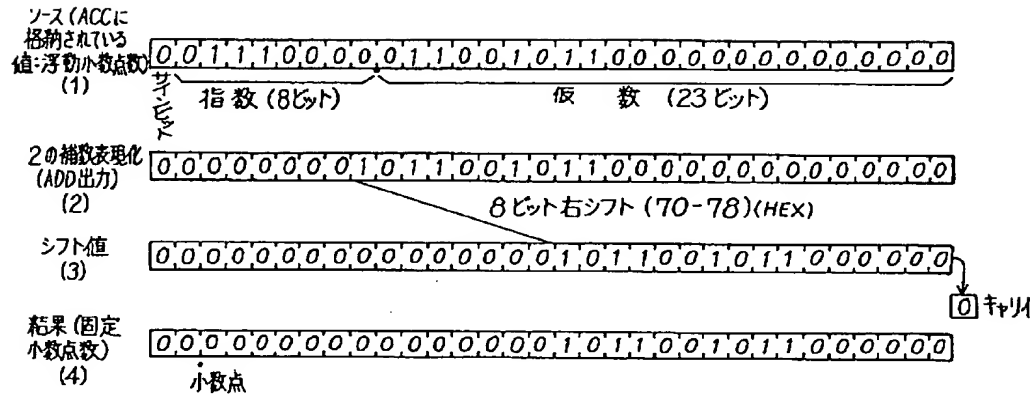


- 2 3 -

- 2 4 -

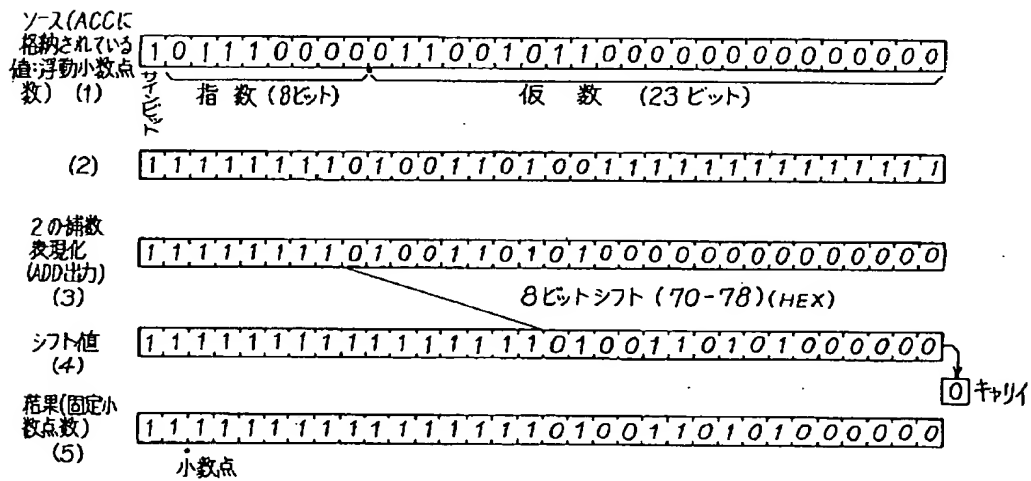


本発明の概念図
第1図



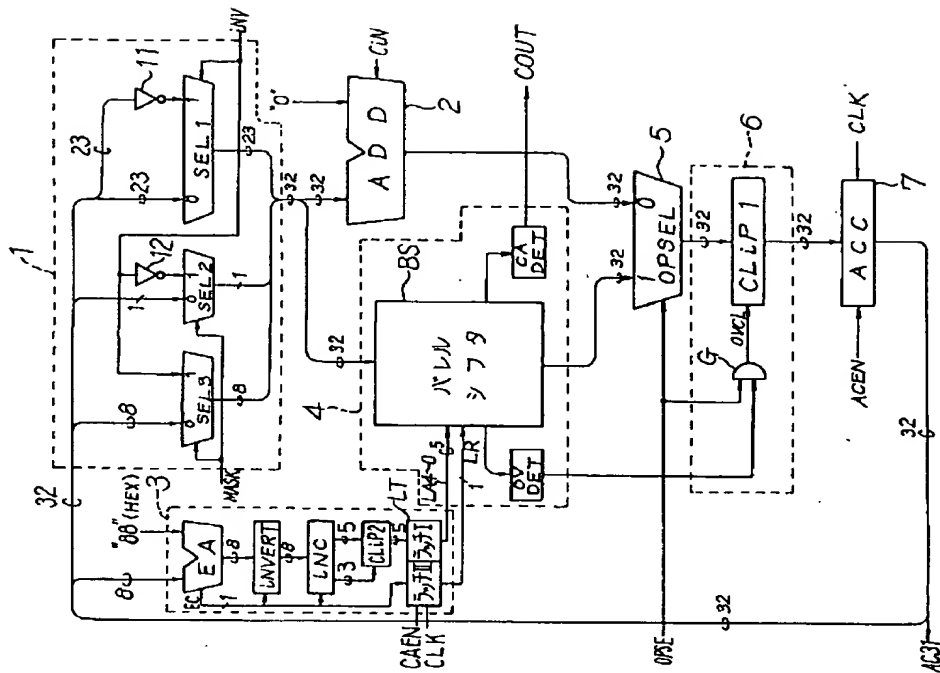
状態遷移図 (正の小数点数の場合)

第 2 図



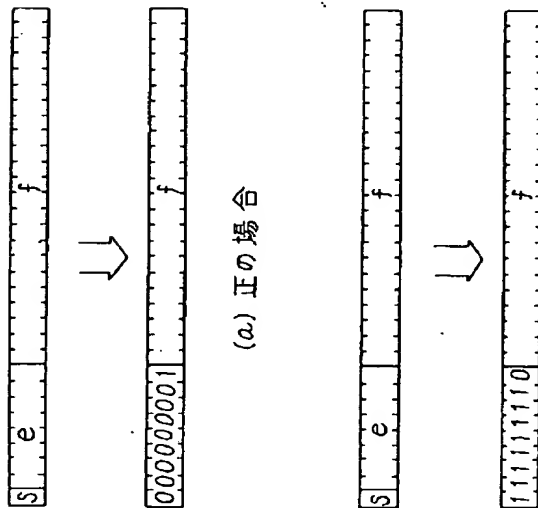
状態遷移図 (負の小数点数の場合)

第 3 図





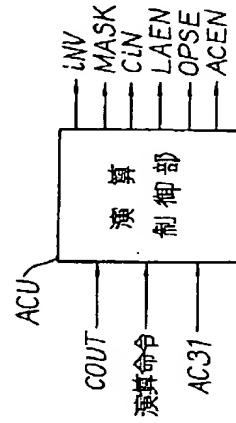
本発明の一実施例

無
口
方






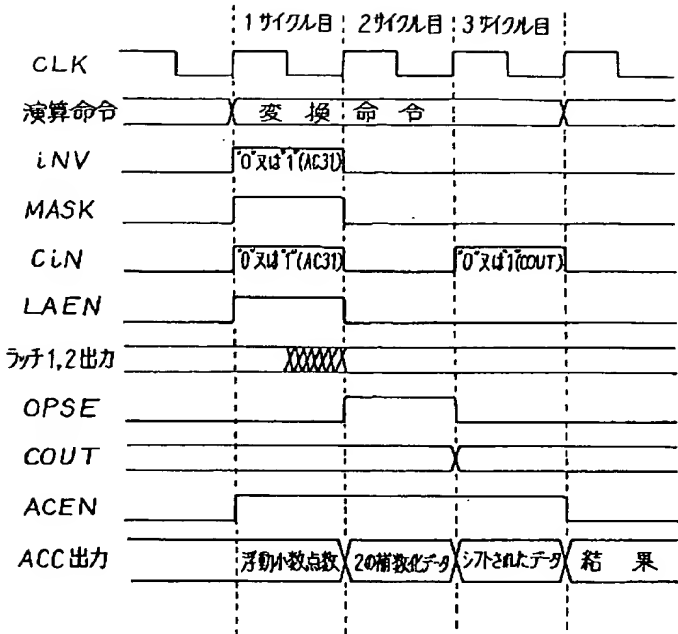
(b) 負の場合
変換部でのフォーマット変換図



演算制御部の入出力信号

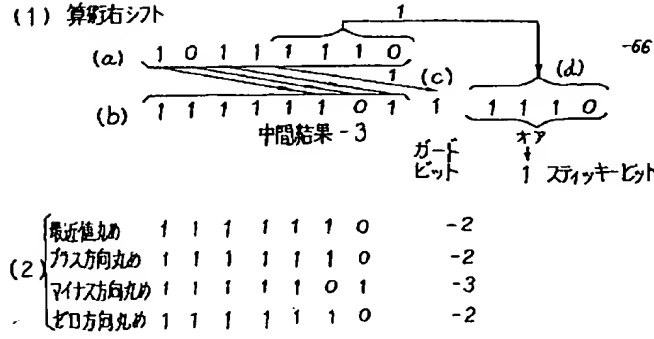






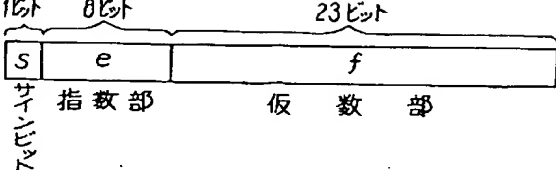
本発明実施例のタイムチャート
第 7 図

MSB								
(a)	1	1	1	0	1	1	1	-17
(b)	1	1	0	1	1	1	0	-34 x2
(c)	1	0	1	1	1	0	0	-68 x2 ²
(d)	1	1	1	1	0	0	0	-8 x2 ³

算術左シフトの実例を示す図
第 8 図



算術右シフトの実例を示す図
第 9 図



IEEE 形式の浮動小数点表現
第 10 図